

PAT-NO: JP405289758A

DOCUMENT-IDENTIFIER: JP 05289758 A

TITLE: ADJUSTING METHOD FOR OUTPUT VOLTAGE OF VOLTAGE REGULATOR

PUBN-DATE: November 5, 1993

INVENTOR-INFORMATION:

NAME

MOTAI, HIROAKI

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTR INC

COUNTRY

N/A

APPL-NO: JP04093035

APPL-DATE: April 13, 1992

INT-CL (IPC): G05F001/10

ABSTRACT:

PURPOSE: To make a voltage regulator with high yield by enabling the highly accurate adjustment of output voltage by dividing an adjustable resistance group into the two of $2 \times m$ and $2 \times n$;R and $2 \times n$;R.

CONSTITUTION: A voltage regulator made into a CMOS monolithic IC is composed of a reference voltage circuit, a resistance, an error amplifier and an output transistor. This resistance is composed by serially connecting (m) serial resistance groups r_{mi} ($i=1$ to 4) where the i th resistance value is $2 \times i - 1$;R and (n) resistance group r_{ni} ($i=1$ to 3) where the i th resistance is $2 \times i - 1$;R. At first, a link cut is performed so that resistance value may be smaller than a desired resistance value within the range which is adjustable by the resistance groups r_{mi} , output voltage is measured and the highly accurate adjustment of the output voltage is performed by performing the link cut of the resistance corresponding to the difference of the output voltage and the desired output voltage of the resistance group r_{ni} . Thus, the highly accurate adjustment of the output voltage becomes possible.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-289758

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl.⁵

G 0 5 F 1/10

識別記号

庁内整理番号

F I

技術表示箇所

L 8209-5H

B 8209-5H

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-93035

(22)出願日 平成4年(1992)4月13日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 馬渡 宏明

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

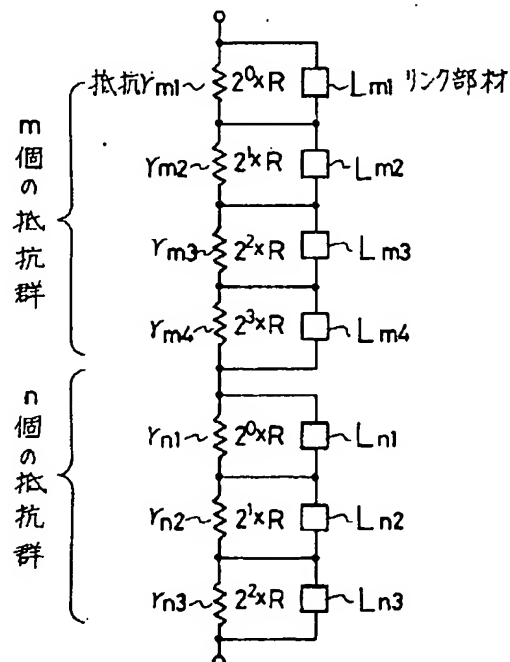
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 ボルテージ・レギュレータの出力電圧調整方法

(57)【要約】

【目的】 ボルテージ・レギュレータの出力電圧を粗調整後に微調整することによって、高歩留りな製品を提供する。

【構成】 基準電圧回路と、第1と第2の抵抗と、誤差増幅器と出力トランジスタとからなるボルテージ・レギュレータにおいて、第1の抵抗を等比級数的に増加する粗調整用と微調整用の2つの直列抵抗群の直列接続からなる抵抗群として出力電圧を高精度に調整する。



1

2

【特許請求の範囲】

【請求項1】 ゲートが誤差増幅器の出力端子に接続されると共に、前記ゲート以外の主電極の一方が電圧供給端子に接続される出力トランジスタと、前記出力トランジスタの他方の主電極と前記誤差増幅器の一方の入力端子との間に接続される第1の抵抗と、前記第1の抵抗に直列に接続される第2の抵抗と、前記誤差増幅器の他方の入力端子に接続される基準電圧回路とからなるボルテージ・レギュレータにおいて、前記第1の抵抗は抵抗値がそれぞれ $2^m \cdot R$ ($m=0, 1, 2, \dots$)である直列に接続された複数の抵抗を有する第1の抵抗群と抵抗値がそれぞれ $2^n \cdot R$ ($n=0, 1, 2, \dots$)である直列接続された複数の抵抗を有する第2の抵抗群との直列接続からなると共に前記第1及び第2の複数の抵抗にはリンク部材が並列に接続されており、前記第1の抵抗群に付加された前記リンク部材を選択的にレーザ光線によって切断して出力電圧を粗調整後、前記第2の抵抗群に付加された前記リンク部材を選択的にレーザ光線によって切断して出力電圧を微調整するボルテージ・レギュレータの出力電圧調整方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、CMOSモノリシック

$$V_0 = [(R_1 + R_2) / R_2] \times V_{ref} \quad \text{--- (1)}$$

ここで、 R_1 、 R_2 は図2の抵抗 R_1 、 R_2 の抵抗値であり、 V_{ref} は基準電圧回路1の出力電圧（以下、基準電圧と呼ぶ）値である。基準電圧値 V_{ref} は、プロセスの変動によるバラツキを含んでいるので、これの出力電圧 V_0 への影響を抑えるために、式(2)が近似的に成

$$R_1 = \sum_{i=1}^n a_i \cdot 2^i \times R \approx (V_0 / V_{ref} - 1) \times R_2 \quad \text{--- (2)}$$

【0006】ここで、 $a_i = 0$ または1である。このようにして、出力電圧 V_0 は所望の値に調整される。例えば、図3のような抵抗 R_1 を使って10kΩの抵抗を作る場合、 $R = 1k\Omega$ とすれば、

$$R_1 = r_1 + r_3 = 8k\Omega + 2k\Omega = 10k\Omega$$

だから、リンク部材 L_1 と L_3 をカットするとよい。ただし、抵抗にはバラツキによる誤差があるので、それを±10%とすると実際には9～11kΩの抵抗値が得られることになる。

【0007】

【発明が解決しようとする課題】しかし、実際には抵抗 R_1 を構成する各抵抗のプロセスのバラツキや、コンパレータのオフセット電圧のために理論上の出力電圧値と実物で差があり、高い出力電圧精度を得ようとした場合、歩留りを低下させるという課題があった。そこでこの発明の目的は、従来のこのような課題を解決するため、抵抗 R_1 を微調整することによって高精度の出力電圧を得るボルテージ・レギュレータの出力電圧の調整方法を得ることである。

*クIC化されたボルテージ・レギュレータの出力電圧調整方法に関する。

【0002】

【従来の技術】従来のボルテージ・レギュレータの回路図を図2に示す。この回路は、基準電圧回路1、抵抗 R_1 と R_2 からなる抵抗群2、誤差増幅器3、出力トランジスタ4の4つの要素から構成されている。出力電圧 V_0 は抵抗群2で分割され、誤差増幅器3の+側へ入り、側に入る基準電圧回路1の出力電圧と比較される。そして、その出力が出力トランジスタ4を制御することで出力電圧 V_0 を一定に保っている。抵抗 R_1 をレーザ・トリミングすることによって、出力電圧 V_0 を調整できるようになっている。

【0003】従来、この抵抗 R_1 には図3に示すように、 i 番目の抵抗値が基本抵抗 R の 2^{i-1} 倍 ($i=1, 2, 3, \dots$)であるような抵抗が直列に接続され、各抵抗はレーザ・トリミングによってカットすることが可能なリンク部材でショートされている。この抵抗 R_1 を使った出力電圧 V_0 の調整方法は次のようになる。まず、出力電圧 V_0 はこの回路の構成から式(1)のように表わされる。

【0004】

*り立つような係数 a_i を求め、 $a_i = 1$ となる番号 i の抵抗が直列接続されるようにリンク部材を断線することで、抵抗 R_1 をつくる。すなわち、

【0005】

【数1】

★【0008】

【課題を解決するための手段】上記課題を解決するために、この発明は基準電圧回路と、抵抗と誤差増幅器と出力トランジスタとからなるCMOSモノリシックIC化されたボルテージ・レギュレータにおいて、前記抵抗を i 番目の抵抗値が $2^{i-1} \times R$ の $2^m \times R$ の直列抵抗群と、 i 番目の抵抗が $2^n \times R$ の $2^n \times R$ の抵抗群とを直列接続した構成を含むようにし、まず $2^m \times R$ の抵抗群の中から、 $2^n \times R$ の抵抗群で調整できる範囲内で、所望の抵抗値より小さくなるようにリンクカットし（粗調整）、出力電圧を測定し、その出力電圧と所望の出力電圧の差 ΔV_{ar} に相当する抵抗を $2^n \times R$ の抵抗群の中からリンクカットすることで出力電圧 V_0 の高精度な調整（微調整）が図れるようにした。

【0009】

【作用】上記のように構成されたボルテージ・レギュレータにおいては、 $2^m \times R$ の抵抗群で調整しきれなかった分を $2^n \times R$ の抵抗群で微調整することで、出力電圧 V_0 を高精度に調整できる。

★50

【0010】

【実施例】以下に、この発明の実施例を図に基づいて説明する。図1は図3の抵抗 R_1 を改良したもので、4個の直列抵抗群 r_m ($m=1\sim 4$)と3個の直列抵抗群 r_n ($n=1\sim 3$)とレーザ光線によってカット可能なリンク部材 $L_m = (m=1\sim 4)$ 、 L_n ($n=1\sim 3$)からなる。各抵抗と並列にレーザ光線によって切断できるリンク部材が配置されている。

【0011】以下、調整法について説明する。まず、基準電圧回路1の基準電圧値 V_{ref} を測定し、式(1)から所望の出力電圧 V_0 が得られる抵抗比 $(R_1 + R_2)/R_2$ を求め、その抵抗比から抵抗 R_1 の値を計算する。*

$$R_1 = r_{m1} + r_{m4} = 1.1\text{ k}\Omega + 8.8\text{ k}\Omega = 9.9\text{ k}\Omega$$

となる。ここで、出力電圧 V_0 を測ってみた結果、実際は誤差は-10%で $R_1 = 8.1\text{ k}\Omega$ であったとする。*

$$R_1 = 8.1\text{ k}\Omega + r_{n2} = 8.1\text{ k}\Omega + 1.8\text{ k}\Omega = 9.9\text{ k}\Omega$$

とすることが可能となり、高精度の抵抗値 R_1 が得られることになる。なお、図1では r_m として4本、 r_n として3本の抵抗例で説明したが、一般論として、 r_m を m 本、 r_n を n 本としても何ら変わるものではない。

【0013】以上の調整法をICウエハの各チップごとに実行すれば、ウエハ内で基準電圧 V_{ref} が変動しても、バラツキの少ない高精度な出力電圧 V_0 が得られる。なお、図2では正の出力電圧を持つボルテージ・レギュレータについて示しているが、図4のような負の出力電圧を持つボルテージ・レギュレータの抵抗 R_3 に、図1に示すような抵抗を用いることで、同等の効果があることは明らかである。

【0014】

【発明の効果】以上説明したように、調整可能な抵抗群を $2^n \times R$ と $2^n \times R$ の2つにすることで、高精度に出力電圧が調整できるようになり、歩留りの高いボルテージ・レギュレータを提供できるという効果がある。★

*そして、その値とするように4個の抵抗群の中からリンク部材をカットする。次に出力電圧 V_0 を測定し、所望の出力電圧値 V_{out} との差 $\Delta V_0 = V_{out} - V_0$ を計算する。そして、 ΔV_0 に相当する抵抗値を計算し、3個の抵抗群の中からその値となるようにリンク部材をカットすることで微調整する。

【0012】一例として、図1において $R = 1\text{ k}\Omega$ である場合に、 $10\text{ k}\Omega$ の抵抗を作るとする。このときプロセスのバラツキは $\pm 10\%$ と仮定する。まず、誤差を大きく見積もって+10%とし、 $10\text{ k}\Omega$ に最も近くなるように選ぶと、

※その場合、 r_2 をさらに接続するためにリンク部材 L_2 をレーザで切断することで、

★【図面の簡単な説明】

【図1】本発明に用いられるボルテージ・レギュレータの抵抗部の詳細な回路図である。

20 【図2】従来のボルテージ・レギュレータの回路図である。

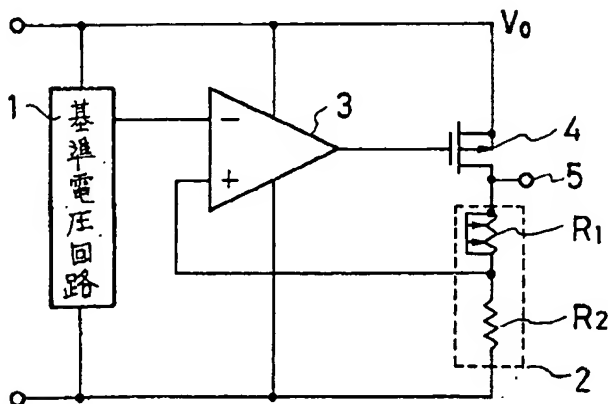
【図3】図2の抵抗部の詳細図である。

【図4】従来の負の出力電圧を持つボルテージ・レギュレータの回路図である。

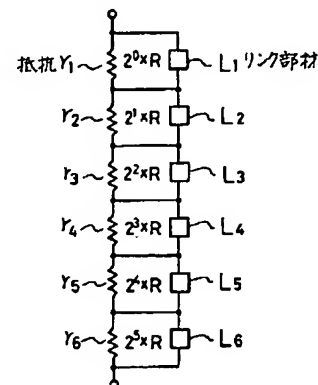
【符号の説明】

- 1 基準電圧回路
- 2 抵抗群
- 3 誤差増幅器
- 4 出力トランジスタ
- 5 出力端子
- 7 抵抗
- L リンク部材

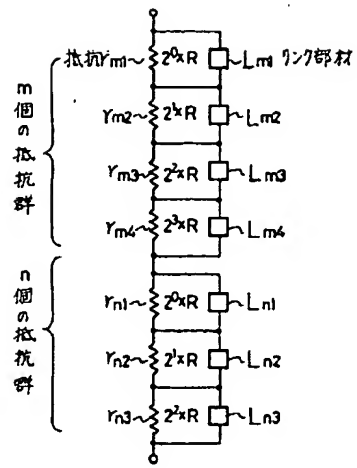
【図2】



【図3】



【図1】



【図4】

